

浙江大学课程设计报告

课程名称： 信息与电子工程导论 任课老师： 回晓楠

课程设计名称： 4bit 加法器 完成日期： 2026.1.12

第 11 小组

成员及分工：

姓名	专业	学号	分工	贡献比
胡东东	信息工程	3240102873	电路设计、优化与仿真测试 课程设计报告撰写	33.3%
郑睿楠	信息工程	3240103639	电路搭建、课程设计报告撰写	33.3%
许无边	微电子科学与工程	3240105100	电路搭建、仿真与电路优化、 课程设计报告撰写	33.3%

1 目的和要求

1.1 课程设计目的

- (1) 设计一个 4 位加法器，并使用晶体管进行实物搭建。
- (2) 通过电路仿真与实物测试，掌握数字电路的设计、仿真、调试与实现方法。
- (3) 理解半加器、全加器的结构原理，并学会通过级联全加器构建多位加法器。
- (4) 培养团队合作能力，明确分工与贡献，完成课程设计报告并提交。

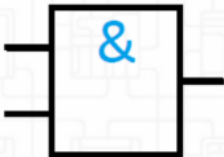
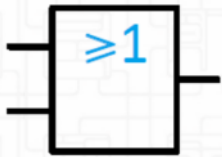
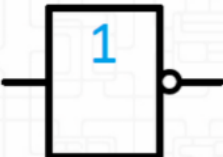
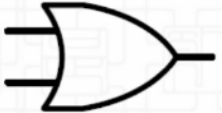
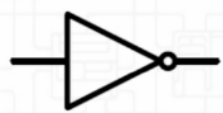
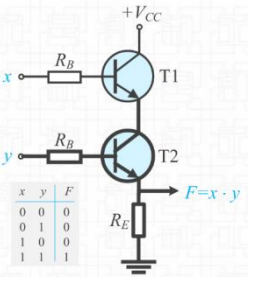
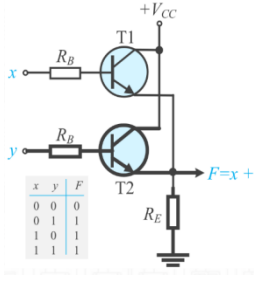
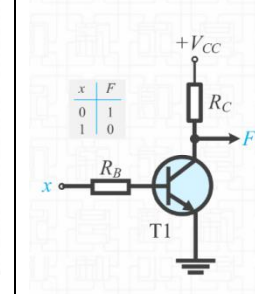
1.2 课程设计要求

- (1) 以小组为单位合作完成，明确各成员分工（如负责人、电路设计、仿真测试、实验制作、报告撰写等）及贡献比例。
- (2) 完成 4 位加法器的电路设计、仿真测试，并在面包板上搭建实物电路，使用 LED 灯表示运算结果（亮为 1，灭为 0）。
- (3) 按课程设计报告模板撰写报告，内容需包括设计原理、电路图、仿真结果、实物测试结果、分析与总结等。
- (4) 报告应真实准确，不得抄袭或编造数据，否则成绩记零分。
- (5) 实物电路应布局合理、布线完整、接触良好，并能正常实现加法功能。
- (6) 报告需上传至“学在浙大”课程网站，文件命名为“课程设计+组号”。

2 原理

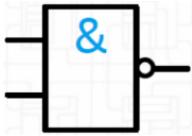
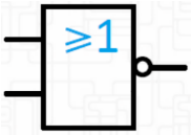
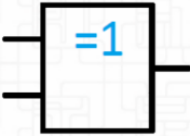
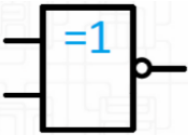
(1) 基本逻辑门

所有数字系统中，均可以看成由最基本的三种逻辑门组成：

基本逻辑门	与门	或门	非门
矩形轮廓符号			
特定外形符号			
逻辑门实现电路			

(2) 复合逻辑门

把三种基本门电路组合起来可以得到各种复合门电路：

复合逻辑门	与非门	或非门	异或门	同或门
矩形轮廓符号				
特定外形符号				

(3) 半加器与全加器

①半加器原理：半加器用于对两个 1 位二进制数进行加法运算，产生一个和与一个进位。

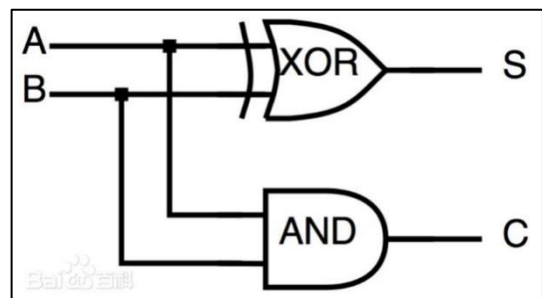
其逻辑关系为：

- 和 $S = A \oplus B$ （由异或门实现）
- 进位 $Cout = A \cdot B$ （由与门实现）

半加器真值表：

输入 A	输入 B	本位 S	进位 C
0	0	0	0
1	0	1	0
0	1	1	0
1	1	1	1

半加器逻辑电路：



②全加器原理：全加器在计算两个 1 位二进制数相加时，能同时处理来自低位的进位输入。

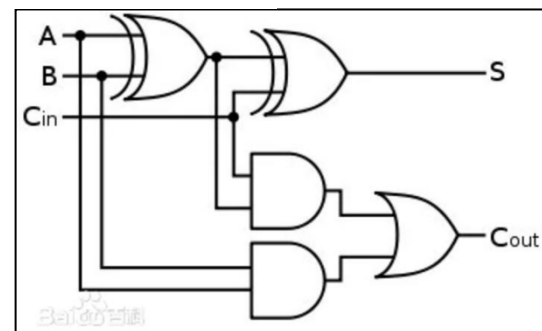
其逻辑功能为：

- 和 $S = A \oplus B \oplus Cin$
- 进位 $Cout = (A \cdot B) + (B \cdot Cin) + (A \cdot Cin)$

全加器真值表：

输入 A	输入 B	Cin	Cout	本位 S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

全加器逻辑电路：



3 内容

- (1) 利用三极管搭建逻辑门并进行仿真测试；
- (2) 利用逻辑门搭建一位半加器并进行仿真测试；
- (3) 在一位半加器的基础上搭建一位全加器并进行仿真测试；
- (4) 利用一位全加器进行适当地级联，搭建 4-bit 加法器，并进行仿真测试；
- (5) 进行实物搭建并测试；
- (6) 提交实物和实验报告。（按模板要求撰写，提供 word 文档）

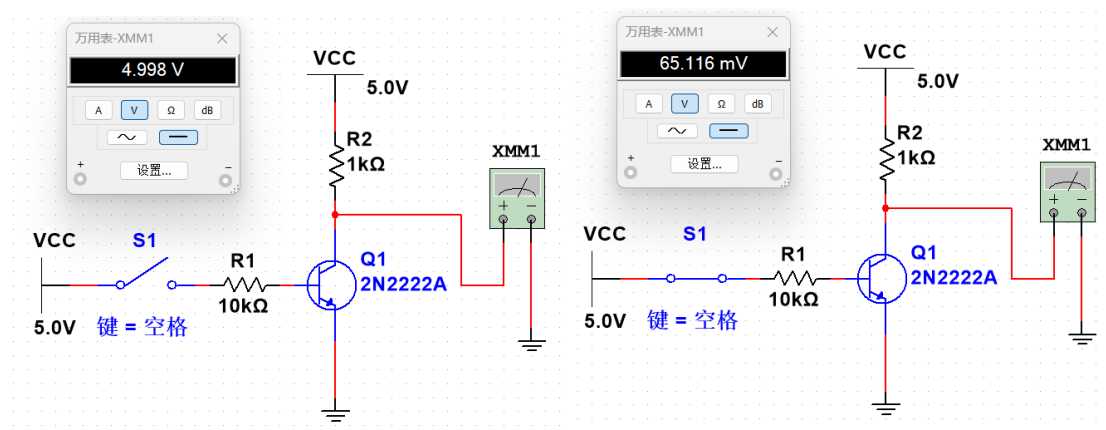
4 结果和分析

（一）电路设计、优化与仿真测试

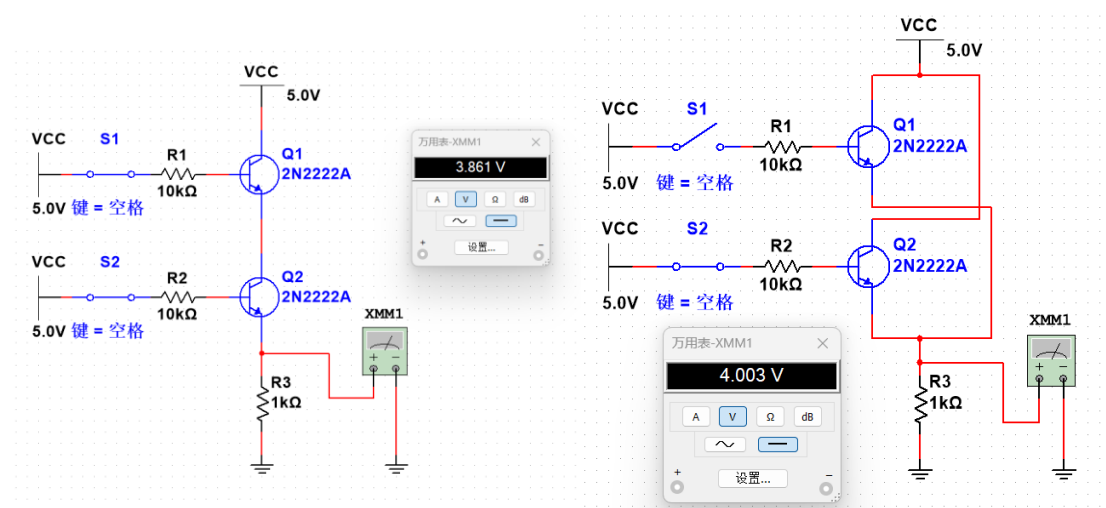
（1）搭建与优化基本逻辑门

①按照原理部分所示的逻辑门实现电路搭建基本逻辑门并进行仿真测试，发现该逻辑门实现方案确实能够实现与或非的数字逻辑，但是与门与或门存在电压损耗较大的问题；

最初的非门设计方案（能实现功能且电压损失较小）：

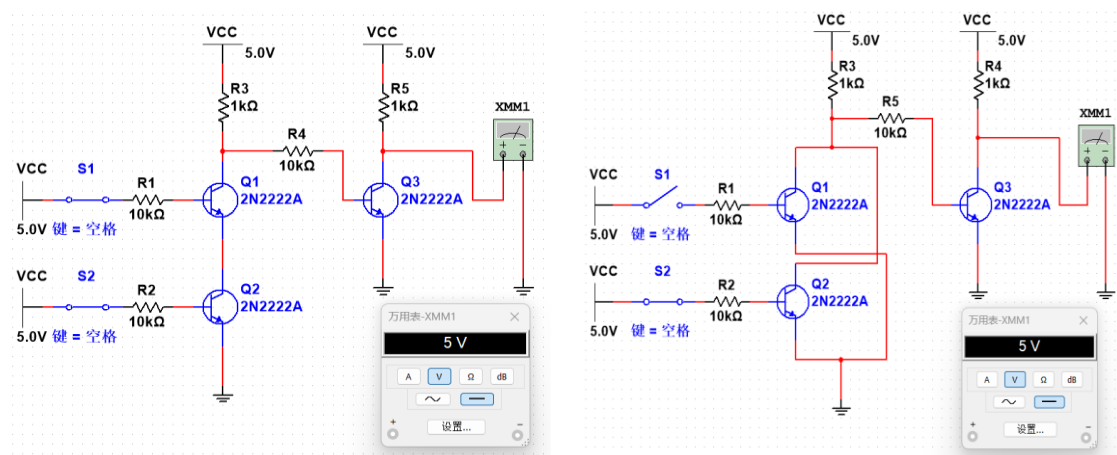


最初的与门和或门设计方案（能实现功能但电压损失严重）：



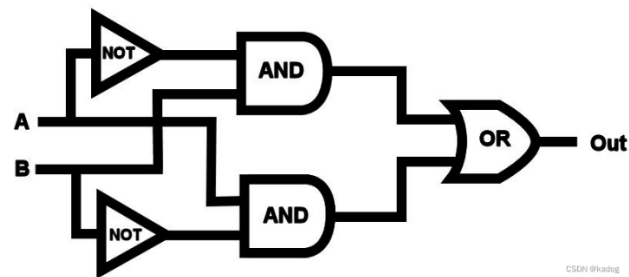
②由于 4bit 加法器中需要用到多个逻辑门，电压损失的叠加将导致后续加法运算的混乱，所以需要对最初的与门和或门设计方案进行优化：在原设计方案的基础上，从集电极输出电压信号即可构成与非门和或非门，再在其后加一个非门即可构成低电压损耗的与门和非门；

优化后的与门和或门设计方案（能实现功能且电压损失较小）：

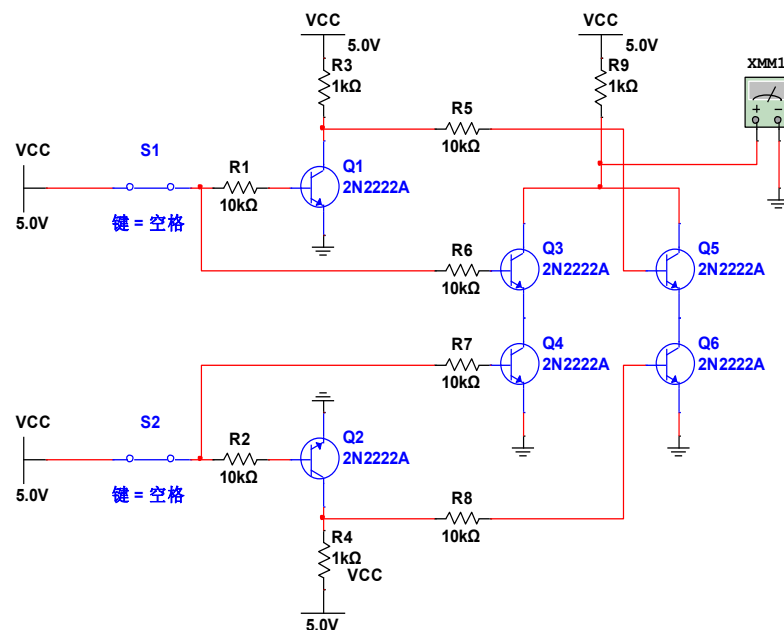


(2) 设计复合逻辑门（异或门）

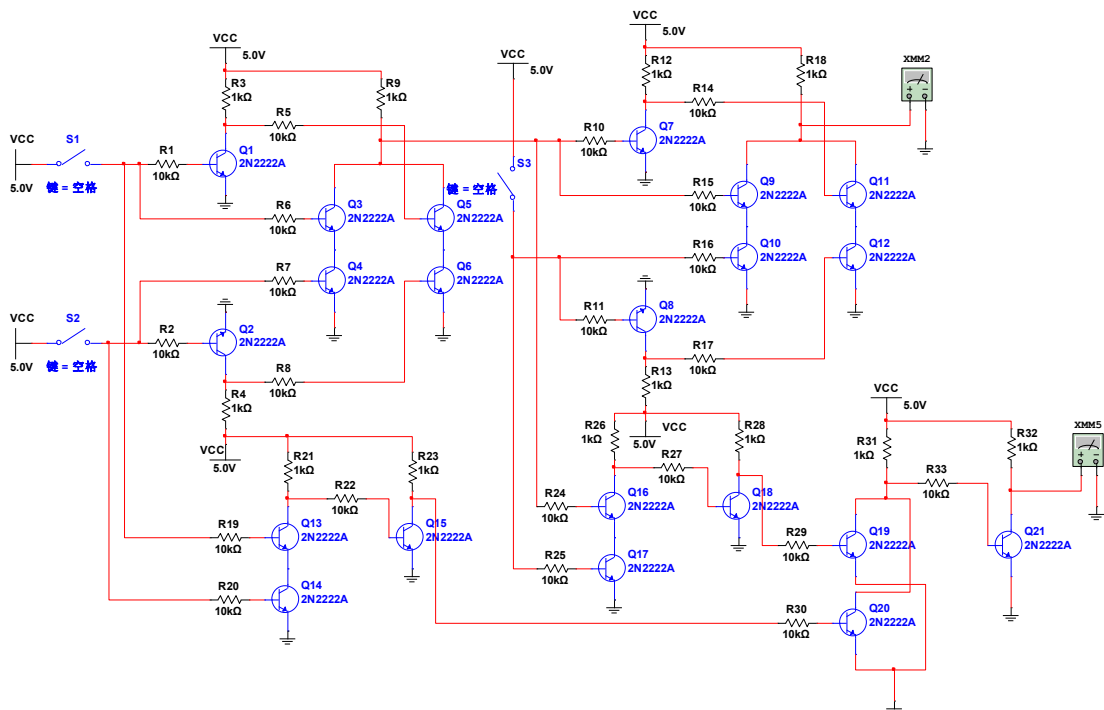
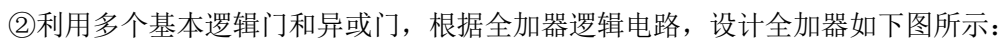
①搭建 4bit 加法器时需要使用到半加器与全加器，而半加器与全加器的组合逻辑电路中仅使用到了异或门这一个复合逻辑门，所以仅需要对异或门进行设计即可，异或门的逻辑电路如下图所示，如果直接利用前面设计的基本逻辑门搭建异或门，则需要使用的三极管数量过多，因此需要对异或门设计方案进行优化；



②优化后的异或门实现方案如下图所示，使用 6 个三极管即可搭建异或门，一定程度上简化的电路设计；

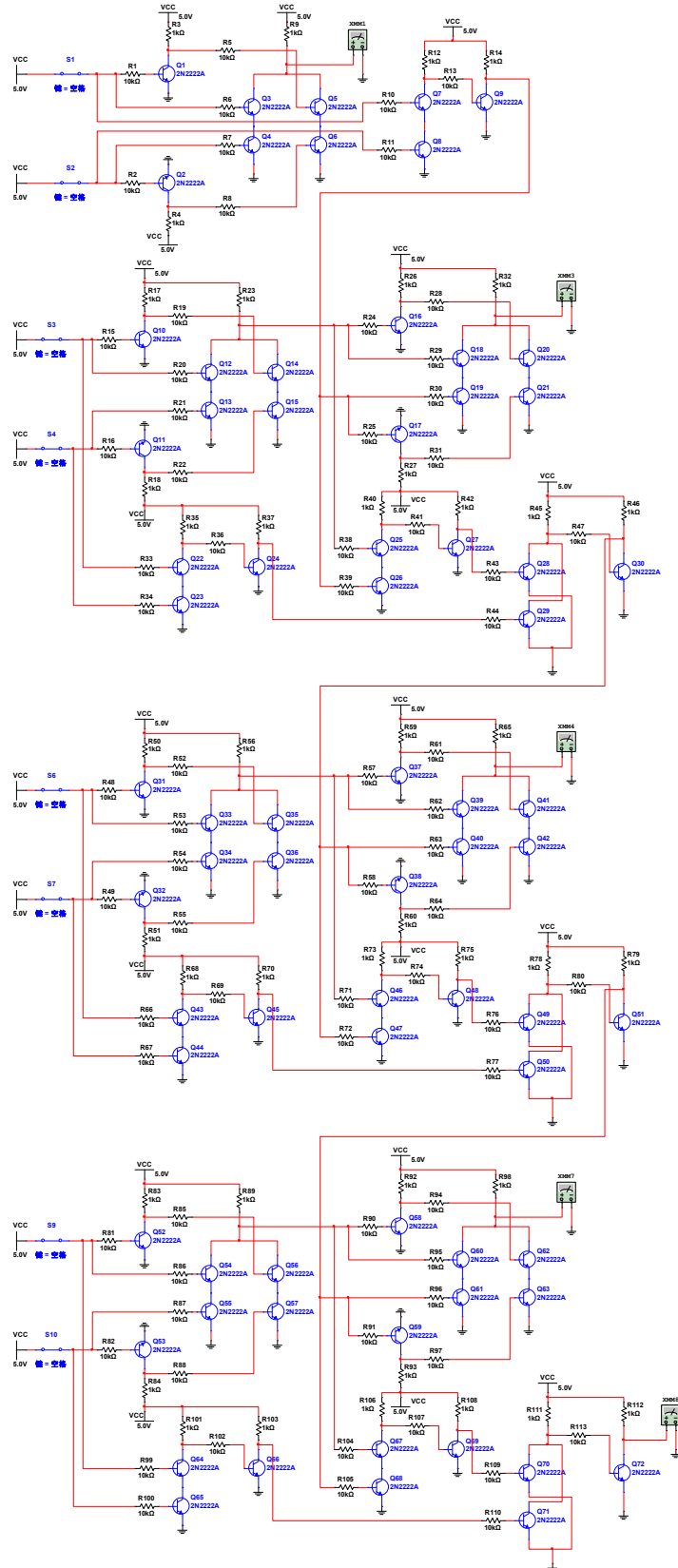


①利用异或门和与门，根据半加器逻辑电路，设计半加器如下图所示：



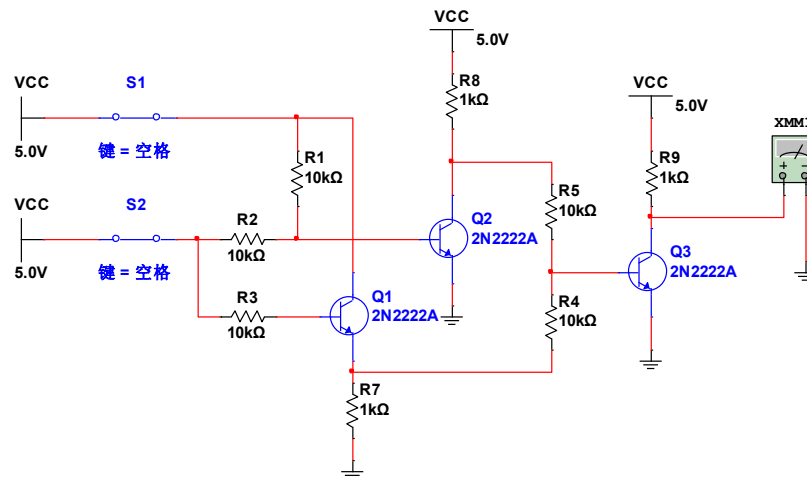
(4) 设计 4bit 加法器

利用一位全加器进行适当地级联，搭建 4-bit 加法器，由于搭建使用的异或门仍不够精简，最终搭建的加法器电路结构较为复杂（72 个三极管），后续进行优化：



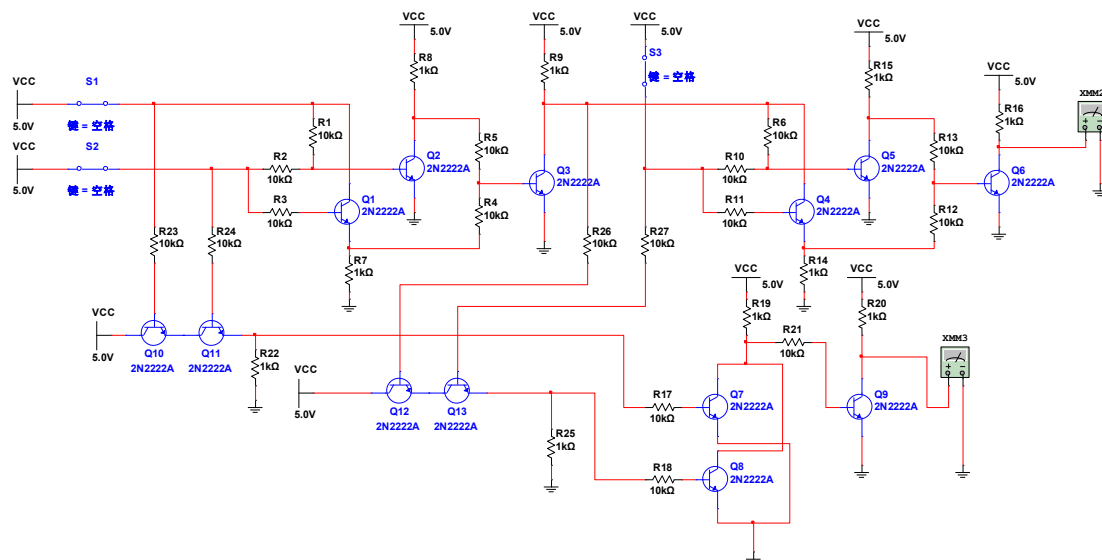
(5) 优化复合逻辑门（异或门）

由于之前优化后的异或门中仍然由多个三极管构成，所以在搭建四位加法器时使用了较多的三极管，先对异或门进行进一步精简，以达到优化加法器电路的目的，优化后的异或门如下图所示：



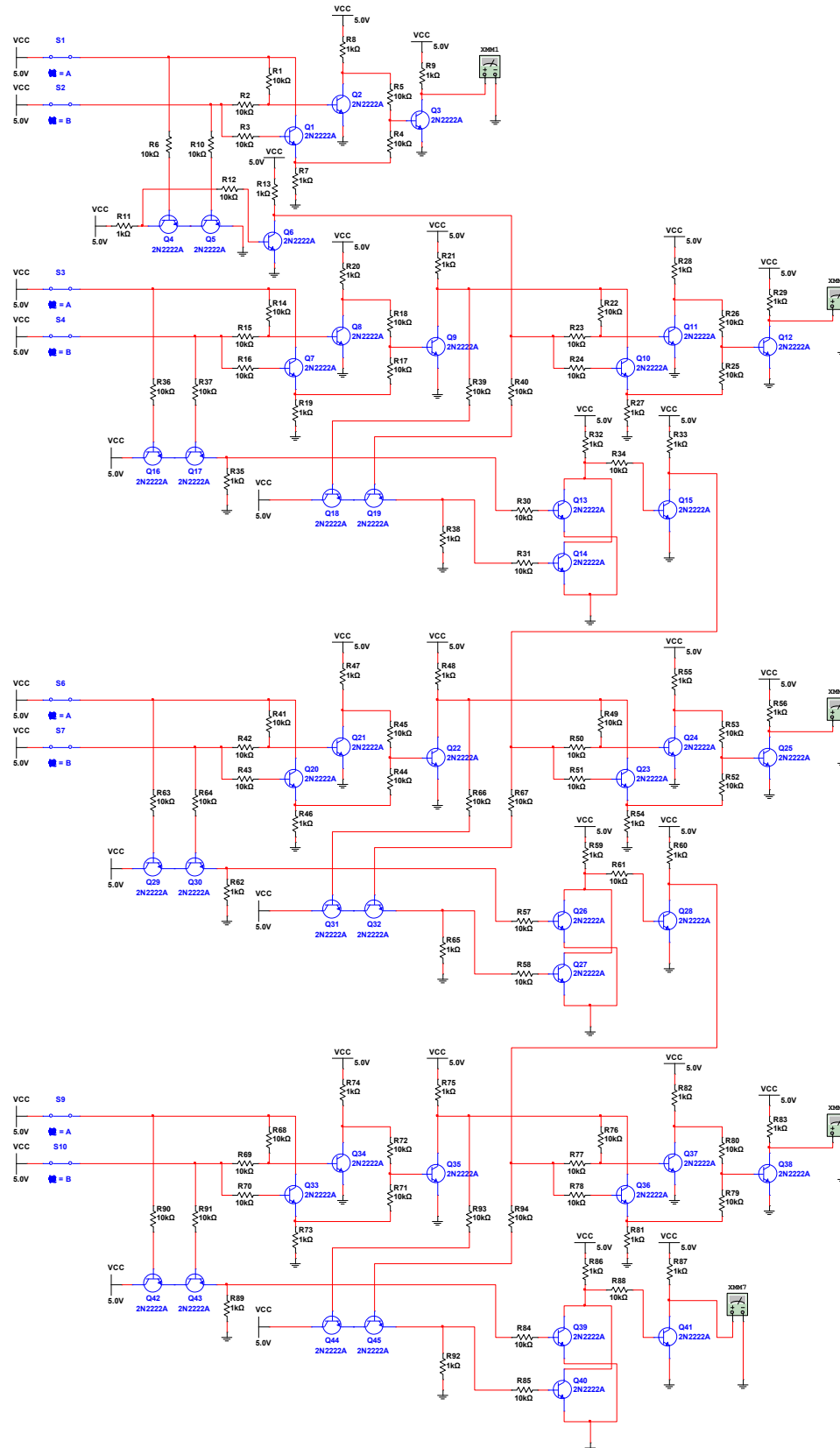
(6) 优化半加器与全加器

利用优化后的异或门，对半加器进行精简，同时考虑到电路的一些节点的电压损耗并不会造成过大影响，所以电路中使用了部分存在电压损耗的基本逻辑门，以达到在不影响电路功能的前提下精简电路结构的目的，优化后的全加器如下图所示：



(7) 优化 4bit 加法器

利用优化后的全加器进行适当地级联，搭建 4-bit 加法器，在精简了异或门和部分基本逻辑门的基础上搭建的加法器电路结构得到了有效简化（45 个三极管）；



(8) 对 4bit 加法器进行仿真测试

①测试用例 1: $1111+1111$

仿真结果如下:



输出结果为 11110, 符合实际。

②测试用例 2: $1010+0110$

仿真结果如下:



输出结果为 10000, 符合实际。

③测试用例 3: $1100+1001$

仿真结果如下:



输出结果为 10101, 符合实际。

测试用例 4: $0010+0011$

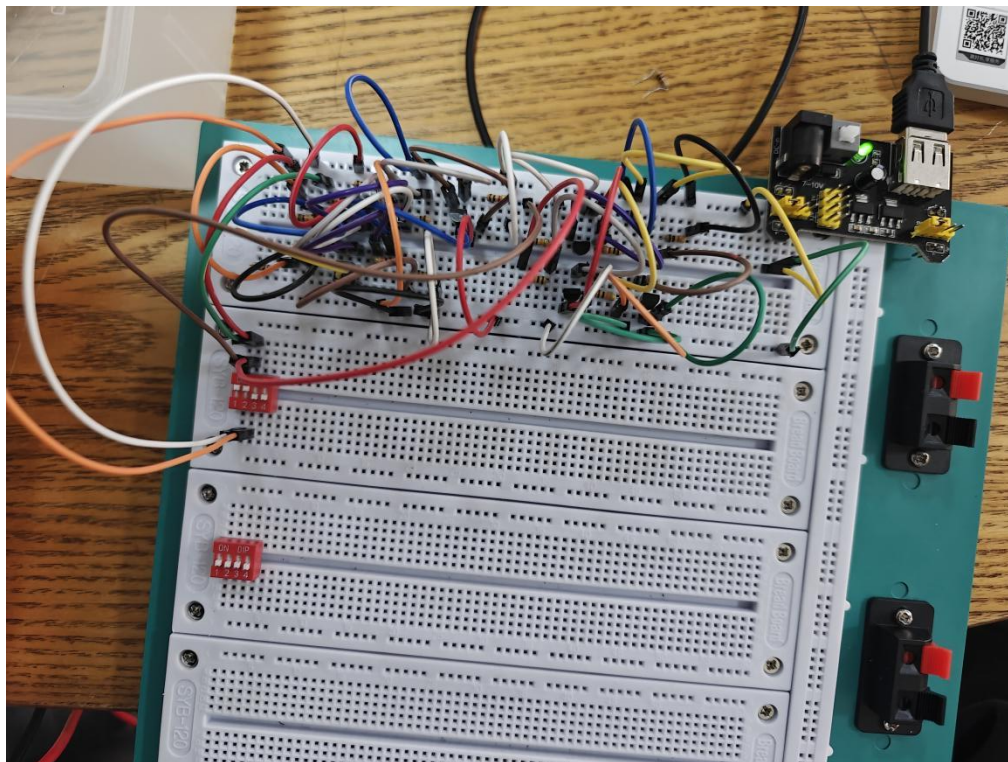
仿真结果如下:



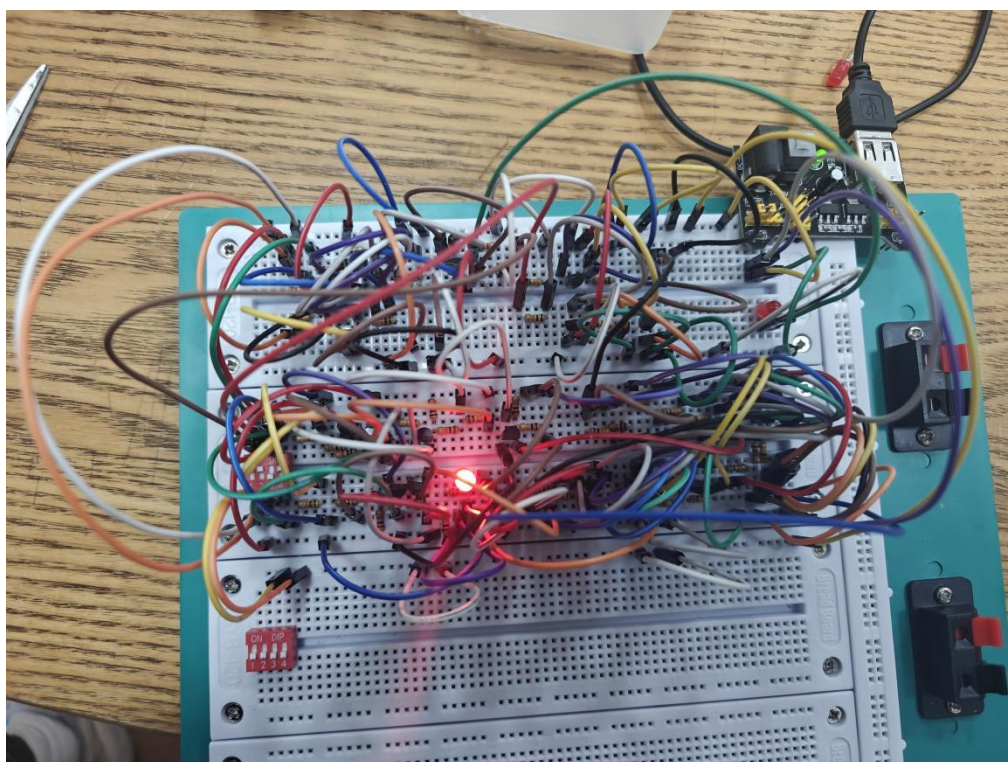
输出结果为 0101, 符合实际。

(二) 电路实物搭建与测试

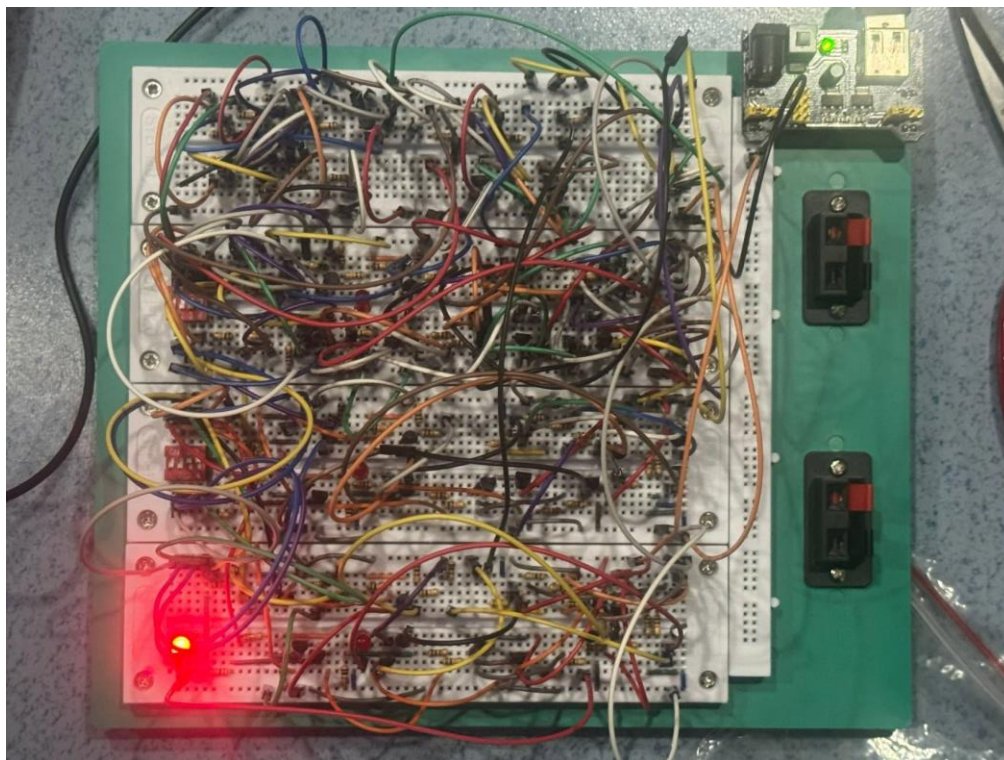
1. 半加器



2. 2bit 加法器



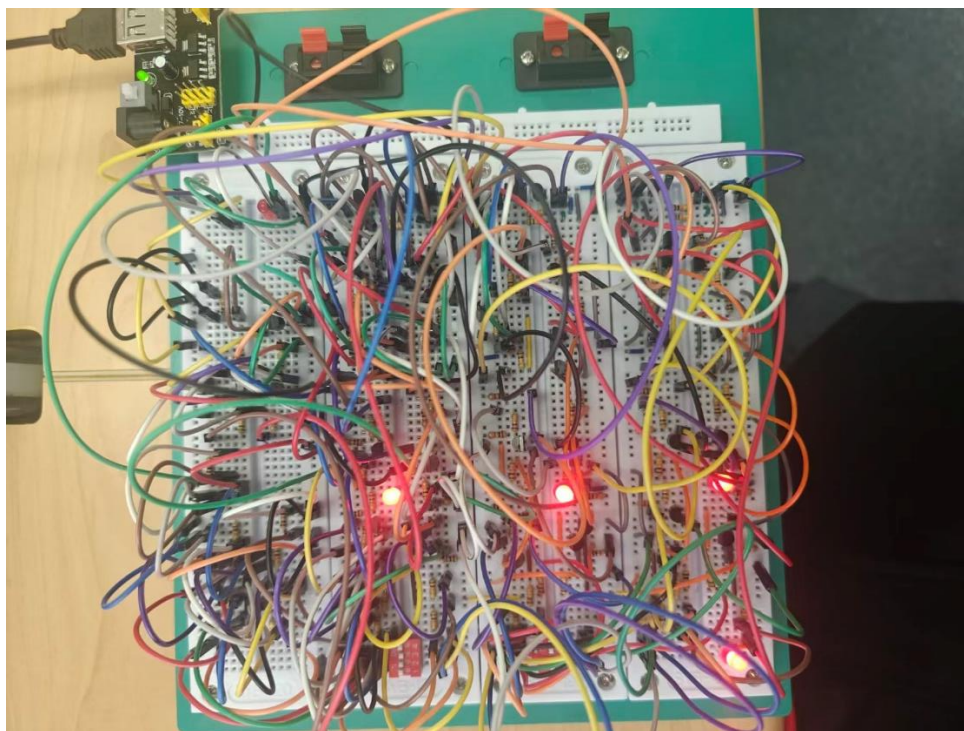
3. 4bit 加法器（最终成果）



4.对 4bit 加法器进行测试

①测试用例 1: $1111+1111$

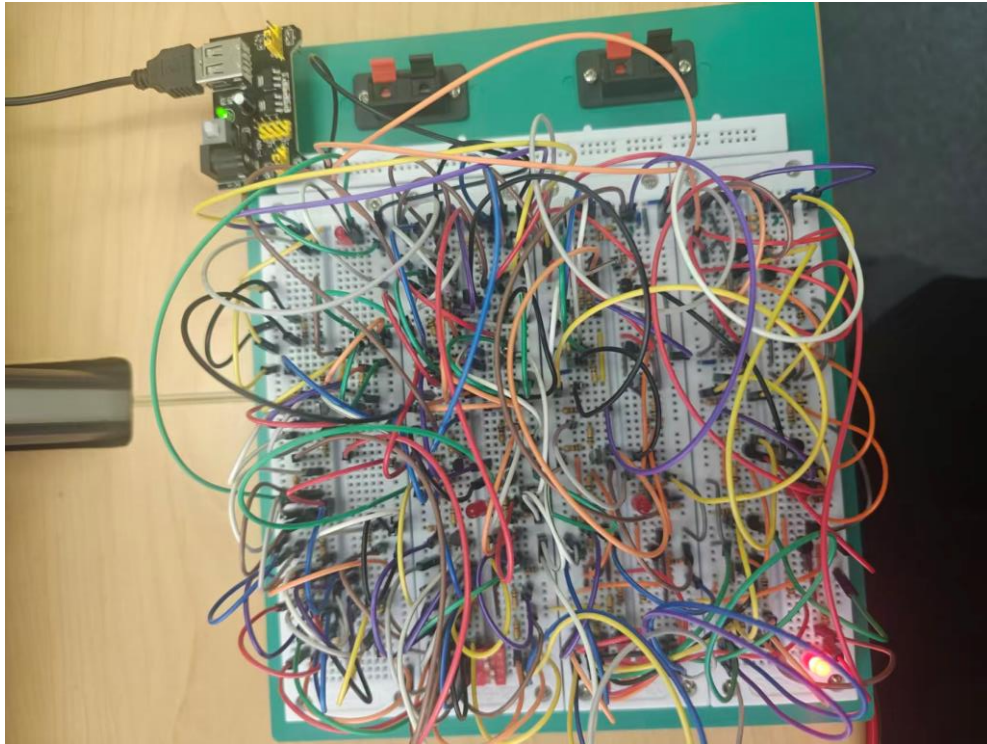
测试结果如下:



输出结果为 11110，符合实际。

②测试用例 2: 1010+0110

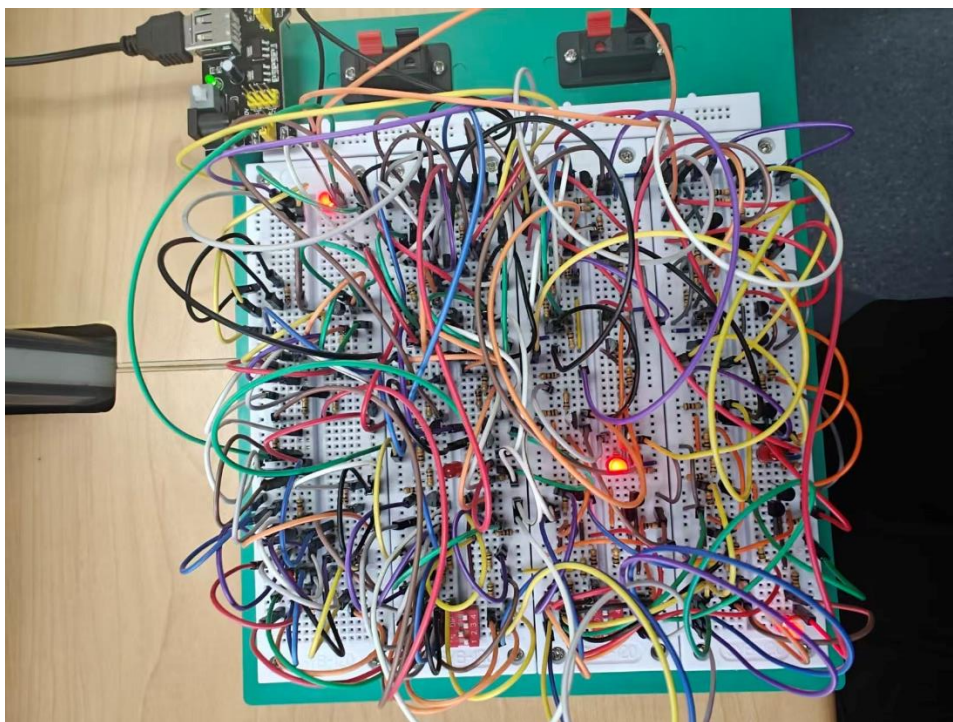
测试结果如下:



输出结果为 10000, 符合实际。

③测试用例 3: 1100+1001

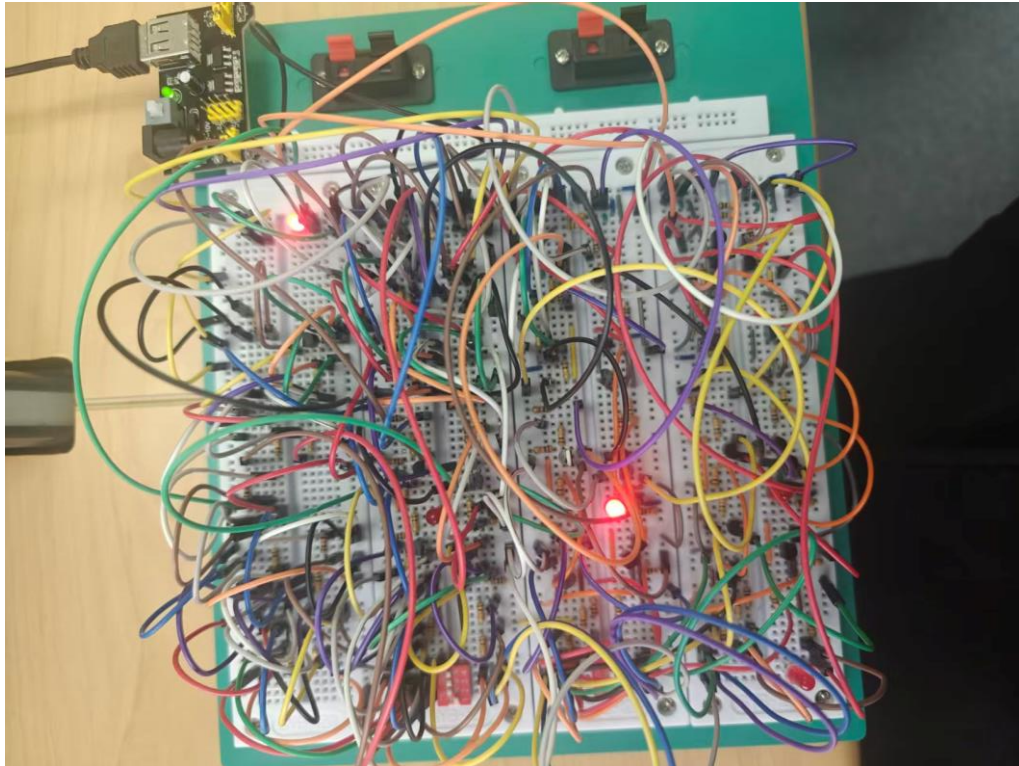
测试结果如下:



输出结果为 10101, 符合实际。

④测试用例 4：0010+0011

测试结果如下：



输出结果为 0101，符合实际。

5 结论

（基于课程设计的实验结果和分析，得出结论：本次课程设计学习体会，意见和建议等）

本次课程设计基于半加器、全加器的组合逻辑原理，采用三极管搭建基本逻辑门与异或门，逐步实现一位半加器、一位全加器，并通过级联构建 4-bit 加法器。针对多级门电路电压裕量不足、级联后逻辑电平易失真的问题，我们从电路结构与器件数量两方面进行了优化：通过改进与/或门实现方式以降低电压损耗，并对异或门、半加器、全加器结构进行精简，使加法器整体由最初较复杂结构逐步优化为更可实现的方案（最终约 45 个三极管），提升了电路可搭建性与稳定性。

在仿真验证方面，我们选取了多组典型输入（如 1111+1111、1010+0110、1100+1001、0010+0011 等）进行功能测试，输出结果均与理论一致；在实物搭建方面，面包板电路在 LED 指示下能够稳定给出正确的和与进位输出，证明本设计方案具备可实现性与正确性。

然而本次课程设计在实物搭建时出现了一定的困难，在搭好 2bit 加法器后隔天就无法正常运行，并且之后的搭建也存在着少数接线错误，经过仔细排查后才得以解决。这与面包板器材接触不良，电路搭建经验不足都有关系，在最终验收的时候也要按压面包板才能完全正常工作。

本次课程设计整体提高了我们的动手能力和合作能力，但是器材上的一些问题可能会影响实验结果和搭建难度，因此在电路出现问题时应该耐心用万用表检查。